

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-251817

(43)Date of publication of application : 11.11.1991

(51)Int.Cl.

G02F 1/133

G01R 19/165

G02F 1/133

G09G 3/36

H03K 17/693

(21)Application number : 02-050188

(71)Applicant : HITACHI LTD

HITACHI MICRO COMPUT ENG LTD

(22)Date of filing : 01.03.1990

(72)Inventor : YAMAGUCHI TAKASHI

SAKAGUCHI YOSHIFUMI

SAWADA KENJI

ITO SHINJI

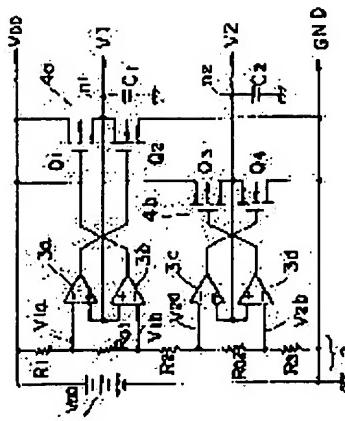
SAITO KOJI

## (54) POWER SOURCE CIRCUIT FOR LIQUID CRYSTAL DRIVING

### (57)Abstract:

**PURPOSE:** To apply a stable driving voltage even to a liquid crystal display device of a large load and to reduce electric power consumption by controlling the respective MOSFETs connected to the high potential side or low potential side of a liquid crystal driving power source and a main power source in such a manner as not to simultaneously become conducting state.

**CONSTITUTION:** The output of a voltage comparator circuit 3a is set at the low potential of nearly 0V and the output of a voltage comparator circuit 3b is set at the high potential approximate to a power source potential VDD according to an output voltage V1 when this voltage is between the outputs V1a to V1b of resistance potential dividing circuit 2. The P channel output MOSFET Q1 and N channel FETQ2 are turned off and the output voltage V1 is maintained at a previous level by a capacitor C1 in this way. The output voltage V1 is dropped according to the change from an output node n1 when this charge is withdrawn by the driving of



the liquid crystal display device which is not shown in Fig. The conducting and non-conducting of the FET are determined by using this output voltage V1 and the reference voltage V1b and comparing these voltages.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑪ 公開特許公報 (A) 平3-251817

⑫ Int.CI.<sup>5</sup>G 02 F 1/133  
G 01 R 19/165  
G 02 F 1/133

識別記号

5 0 5  
J  
5 2 0

序内整理番号

7634-2K  
9016-2G  
7634-2K※

⑬ 公開 平成3年(1991)11月11日

審査請求 未請求 請求項の数 3 (全10頁)

⑭ 発明の名称 液晶駆動用電源回路

⑮ 特 願 平2-50188

⑯ 出 願 平2(1990)3月1日

⑰ 発明者 山口 剛史 東京都小平市上水本町5丁目22番1号 日立マイクロコンピュータエンジニアリング株式会社内

⑰ 発明者 坂口 芳文 東京都小平市上水本町5丁目22番1号 日立マイクロコンピュータエンジニアリング株式会社内

⑰ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 出願人 日立マイクロコンピュータエンジニアリング株式会社 東京都小平市上水本町5丁目22番1号

⑰ 代理人 弁理士 大日方 富雄

最終頁に続く

## 明細書

## 1. 発明の名称

液晶駆動用電源回路

## 2. 特許請求の範囲

1. 液晶駆動用電位が与えられかつ回路の基準電位点との間にコンデンサが接続される出力点と、電源端子と上記出力点との間に設けられた第1のMOSFETと、回路の基準電位点と上記出力点との間に設けられた第2 MOSFETと、上記出力点に所要の液晶駆動用電位が与えられるように上記第1、第2 MOSFETを駆動する駆動回路とを備えてなる液晶駆動用電源回路であつて、上記駆動回路は、上記出力点の出力電位を参照し上記出力点の上記出力電位が第1の所定電位よりも低下したとき上記第1 MOSFETを導通させ、かつ上記出力点の出力電圧が上記第1の所定電位よりも高い第2の所定電位よりも上昇したとき上記第2 MOSFETを導通させる電圧比較回路と、上記出力点に接続されたコンデンサを備え、上記第1、第2 MOSFETと上記駆動回路を介する

帰還動作が上記コンデンサによって安定化されるようになることを特徴とする液晶駆動用電源回路。

2. 上記駆動回路が、上記第1及び第2の所定電位を形成する抵抗分圧回路と、上記第1の所定電位を一方の入力端子に受け、上記第1 MOSFETのゲートに供給されるべき出力を形成する第1の電圧比較回路と、上記第2の所定電位を一方の入力端子に受け、上記出力点の電位を他方の入力端子に受け、上記第2 MOSFETのゲートに供給されるべき出力を形成する第2の電圧比較回路とを備えてなることを特徴とする特許請求の範囲第1項記載の液晶駆動用電源回路。

3. 上記第1及び第2 MOSFETは、それぞれのドレイン端子が上記出力点に結合された相補型MOSFETから構成されてなることを特徴とする特許請求の範囲第1項又は第2項記載の液晶駆動用電源回路。

## 3. 発明の詳細な説明

【産業上の利用分野】

本発明は、液晶回路技術に関し、例えば液晶表示駆動回路用の電源回路に利用して有効な技術に関する。

#### [従来の技術]

第2図(A)には、従来一般に用いられている液晶表示駆動回路の電源回路(以下液晶電源回路と略す)が示されている。この液晶電源回路では、所望の電源電圧を得る手段として直列抵抗 $R_1$ 、 $R_2$ 、 $R_3$ からなる抵抗分圧回路を用い、出力端子に容量 $C_1$ 、 $C_2$ を付加して電源の安定化を図っている。しかしながら第2図(A)の電源回路にあっては容量 $C_1$ 、 $C_2$ がICやL·S·Iに搭載不可能な大きさになるため、外付け部品として出力端子に接続しなくてはならず、部品点数が多くなる。そこで、第2図(B)に示すように基盤となる電圧は抵抗分圧回路2で発生するが、MOSFET $Q_1$ ～ $Q_4$ と電圧比較回路3a～3dとにより、負帰還回路構成を探ることにより液晶駆動電源の安定化を図るようにした電源回路も提案されている(特開昭55-14689号)。

圧が交互に印加される。ここで平均直流電圧が0Vとなるためには、V1、V2の電位が正確に出力されることが要求される。

#### [発明が解決しようとする課題]

近年、液晶表示装置は、液晶表示画面の大型化およびドットマトリクス方式による高品質化が図られている。このことは、液晶電源回路に対する負荷が増大することを意味し、電源の出力インピーダンスを低くすることが要求されている。

ところが、第2図に示す従来の電源回路にあっては、抵抗分圧により出力電位を得ているため、出力インピーダンスを低下させれば、必然的に分圧抵抗に流れる電流が増大し、消費電力が増大する。しかるに、特開昭55-14689号にて開示された発明(第2図(B)参照)では、分割抵抗値と、MOSFETのON抵抗値、許容変動幅等の関係には、言及されていない。また、空電を待たないことから回路発振するおそれがある。そこで、発振等の動作を回避させるには、出力インピーダンスは主に分割抵抗 $R_{31}$ ～ $R_{33}$ により

一方、液晶表示装置は、液晶にしきい值を越えた電界が印加されると分子の配向が変わるという性質を利用して、2つの透明電極(コモン電極・セグメント電極)で液晶を挟み込んだ各画素を点灯もしくは非点灯の状態に導びき表示を行なう装置である。ところで、液晶は直流電圧が長時間印加されると極端に寿命が短くなる欠点を有するため、一对の電極は交流駆動され平均直流電圧が零になるように動作させられる。また、選択した画素に加えた電界が隣接した画素にも影響を与えるクロストークと呼ばれる現象を回避するため、非選択時にもしきい値以下の電圧が印加される。

第3図に、コモン電極及びセグメント電極の駆動波形例との差分であるところの液晶に印加される電圧の例を示す。基本電源をVロロとし、液晶電源回路によりVロロからV1=2/3Vロロと、V2=1/3Vロロの2つの電源電圧を作り出したとした場合、液晶には、選択時にVロロ及び-Vロロの電圧が一定周期で交互に印加され、非選択時には、1/3Vロロ及び-1/3Vロロの電

形成されるものと考えられる。その結果消費電力は有效地に低減されず、電卓のように電池電源採用の商品にとっては、大きな問題となる。

本発明は、負荷の大きな液晶表示装置に対しても、安定した電源電圧を与えられる低出力インピーダンスで、かつ低消費電力の液晶電源回路を提供することを目的とする。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

#### [課題を解決するための手段]

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、出力段の分圧抵抗を省略し、出力段を主電源の高電位側と低電位側との間に直列に接続された一对のMOSFETのみで構成し、それらのMOSFETに与えられるゲート電位を適当に制御することにより、それらのMOSFETが同時に導通状態とならないようにして、貫通電流の発生を防止することを回路の基本構成とした。

また、MOSFETのゲート電位を制御する手段としては、それぞれのMOSFETとの組み合わせで、液晶電源電圧の変動に負帰還のかかる構成となるように電圧比較器を用い、2つの電圧比較器の基準電圧には、2つのMOSFETが同時に導通状態とならないように、液晶駆動電位から適当な許容変動幅分だけ正の方向または負の方向にずれた電位をそれぞれ与えるものを用いるようにしたものである。さらに、出力点の安定化を図るため、出力点にはコンデンサを接続する。この場合、そのコンデンサの容量値と、MOSFETのオン抵抗値により、負帰還動作時に、出力電位が負側に許容電圧値分ずれた電位から正側に許容電圧値分ずれた電位まで、あるいは、正側にずれた電位から負側にずれた電位まで変動するのに要すると予想される時間よりも、応答時間が短い電圧比較器を組み合わせる。

## 【作用】

上記した手段によれば、液晶駆動電源と主電源の高電位側もしくは低電位側に接続されたそれぞ

れのMOSFETは、同時に導通状態とならないため、消費電流を増加させることなく、出力インピーダンスを下げることが可能となる。また、定常的な電流消費を行なわなくても、付加された容量値を適正な値に設定することにより、出力の安定性を確保できる。

## 【実施例】

第1図には本発明を液晶駆動用電源回路に適用した場合の一実施例が示されている。

第1図において、1はバッテリのような主電源、2は主電源1の電圧 $V_{DD}$ を分圧するための抵抗分圧回路で、この抵抗分圧回路2は直列抵抗 $R_1, R_2, R_3, R_4$ からなり、4つの基準電圧 $V_{a}, V_{b}, V_{c}, V_{d}$ を発生する。これらの基準電圧は、4つの電圧比較器 $3a, 3b, 3c, 3d$ の反転入力端子に入力され、比較器 $3a, 3d$ の出力電圧によって出力段 $4a$ が、また比較器 $3c, 3d$ の出力電圧によって出力段 $4b$ が駆動される。出力段 $4a$ は電源電圧 $V_{DD}$ と接地点GNDとの間に直列接続されたPチャネルMOS

FET $Q_1$ とNチャネルMOSFET $Q_2$ とかなり、 $Q_1$ のゲート端子に比較器 $3b$ の出力電圧が、また $Q_2$ のゲート端子に比較器 $3a$ の出力電圧が印加され、MOSFET $Q_1, Q_2$ のオン抵抗の比で電源電圧 $V_{DD}$ を分割した電圧 $V_1$ を発生する。

一方、出力段 $4b$ は電源電圧 $V_{DD}$ と接地点GNDとの間に直列接続されたPチャネルMOSFET $Q_3$ とNチャネルMOSFET $Q_4$ とかなり、 $Q_3$ のゲート端子に比較器 $3d$ の出力電圧が、また $Q_4$ のゲート端子に比較器 $3c$ の出力電圧が印加され、MOSFET $Q_3, Q_4$ のオン抵抗の比で電源電圧 $V_{DD}$ を分割した電圧 $V_2$ を発生する。

そして、上記出力電圧 $V_1$ が比較器 $3a, 3b$ の非反転入力端子に印加されて負帰還がかけられ、出力電圧 $V_2$ が比較器 $3c, 3d$ の非反転入力端子に印加されて負帰還がかけられるようにされている。

さらに、出力ノード $n_1, n_2$ には、出力電圧 $V$

$V_1, V_2$ を安定化させるコンデンサ $C_1, C_2$ がそれぞれ接続されている。

この実施例においても、電源電圧 $+V_{DD}$ とGND間に抵抗分圧回路2を設けているが、これによって発生された電圧は、IC内の低入力インピーダンスの電圧比較器の入力とされているので、抵抗分圧回路を構成する各抵抗の抵抗値を高くして消費電流を抑えることが可能である。

さらに、本実施例では、電圧比較器の同相入力範囲を広くとるため、出力電圧 $V_1$ を発生する部分には、第4図に示すように入力電圧をN-MOSゲートに受ける差動形式の電圧比較器を、また出力電圧 $V_2$ を発生する部分には、第5図に示すように入力電圧をP-MOSゲートに受ける差動形式の電圧比較器を使用した。

次に、第1図の実施例の電源回路の動作を詳細に説明する。

特に制限されないが、この実施例の電源回路は液晶駆動のため4種電位を必要とする液晶表示駆動用のものである。

そこで4種の電位のうち、1つは主電流Iから出力される電位V<sub>0</sub>を、1つは主電流Iの基準電位点からの電位GNDを、そして、残りの2つの電位V<sub>1</sub>とV<sub>2</sub>は、第1図の回路から与えるようしている。

抵抗R<sub>1</sub>～R<sub>4</sub>及びR<sub>5</sub>、R<sub>6</sub>は、抵抗分圧回路2を構成しており、主電流Iからの電圧V<sub>0</sub>を分圧することによって比較器3a～3dの入力電圧V<sub>a</sub>、V<sub>b</sub>、V<sub>a</sub>、V<sub>b</sub>を形成する。上記分圧抵抗R<sub>1</sub>、R<sub>2</sub>、R<sub>3</sub>、R<sub>4</sub>、R<sub>5</sub>のうち、発生すべき電位V<sub>1</sub>、V<sub>2</sub>に対して主として作用する抵抗は、R<sub>1</sub>、R<sub>2</sub>、R<sub>5</sub>である。抵抗R<sub>6</sub>は、発生すべき電位V<sub>1</sub>に対する許容電圧幅を設定するために設けられ、抵抗R<sub>4</sub>は、同様に発生すべき電位V<sub>2</sub>に対する許容電圧幅を設定するために設けられている。

第1図の回路において、出力電位V<sub>1</sub>が、抵抗分圧回路2の出力V<sub>a</sub>～V<sub>b</sub>との間にあるなら、これに応じて電圧比較回路3aの出力は略0ボルト(GND)に近い低電位となり、電圧比較回路

3bの出力は、電源電圧V<sub>0</sub>に近い高電位となる。この状態においては、電圧比較回路3a、3bの出力によってPチャンネル出力MOSFET Q<sub>1</sub>及びNチャンネルMOSFET Q<sub>2</sub>は、ともにオフ状態に維持される。その結果、出力電圧V<sub>1</sub>は、コンデンサC<sub>1</sub>によって前のレベルに維持される。そして、図示しない液晶表示装置の駆動によって、出力ノードn<sub>1</sub>から電荷が引き抜かれると、これに応じて出力電位V<sub>1</sub>が低下する。

出力電位V<sub>1</sub>が、基準電圧V<sub>b</sub>よりも低下すると、これに応じて電圧比較回路3bの出力が、略電源電圧V<sub>0</sub>に近い高電圧から、低電位GNDに向けて変化されるようになる。電圧比較回路3cの出力の低下により出力MOSFET Q<sub>3</sub>の導通が開始され、出力MOSFET Q<sub>4</sub>によって電位V<sub>1</sub>が上昇されることとなる。そして、出力電位V<sub>1</sub>が基準電圧V<sub>b</sub>よりも高くなると、出力MOSFET Q<sub>4</sub>は、非導通に戻される。なおこの間、下側のMOSFET Q<sub>1</sub>は、非導通のままである。

上記とは逆に、図示しない液晶表示装置の駆動に応じて、出力ノードn<sub>1</sub>に電荷が注入されると、これに応じて出力電位V<sub>1</sub>が基準電圧V<sub>b</sub>よりも上昇されると、それに応じて電圧比較回路3aの出力がほぼ0ボルトに近い低電圧から電源電圧V<sub>0</sub>レベルに向けて変化されるようになる。電圧比較回路3aの出力の上昇によりMOSFET Q<sub>2</sub>が導通されるようになり、出力ノードn<sub>1</sub>の電荷を引き抜くようになる。その結果として出力電位V<sub>1</sub>の上昇し過ぎた電位は、MOSFET Q<sub>3</sub>によって低下される。

以上の動作の結果として、出力電位V<sub>1</sub>は、常に抵抗分圧回路2の出力V<sub>a</sub>とV<sub>b</sub>との間にあり、常に制御される。しかも電源電圧間に直列接続されたMOSFET Q<sub>1</sub>、Q<sub>2</sub>は、原則的には、同時に導通されることなく、従って出力段4aに貫通電流が流れることはない。

上記動作において、出力MOSFET Q<sub>1</sub>、Q<sub>2</sub>による出力電位V<sub>1</sub>の変化が早い場合、回路の異常動作(発振)が生ずるおそれがある。

例えば、出力V<sub>1</sub>が低下し、これに応じて出力MOSFET Q<sub>1</sub>の導通が開始されたとする。すると、出力V<sub>1</sub>は、MOSFET Q<sub>1</sub>の導通によって上昇され始める。この場合、電圧比較回路3bの入力に対する応答速度が比較的遅いと、出力V<sub>1</sub>が基礎電位V<sub>b</sub>を超えて上昇したにもかかわらずに、MOSFET Q<sub>2</sub>が非導通にされない状態が生ずる。そして、出力電位V<sub>1</sub>が上昇し過ぎた場合、逆に電圧比較回路3aの出力によってMOSFET Q<sub>2</sub>がオフする前にMOSFET Q<sub>1</sub>の導通が開始され、出力電位V<sub>1</sub>が低下され始める。MOSFET Q<sub>1</sub>による電位V<sub>1</sub>の下降速度が大きい場合、電位V<sub>1</sub>の下がり過ぎが生じる。電位V<sub>1</sub>の下がり過ぎに対応して、電位V<sub>1</sub>の上昇が再び開始される。このような異常動作の繰返しによって、電位V<sub>1</sub>が上下に大きく振動されてしまうこととなる。

しかるにコンデンサC<sub>1</sub>が設けられているため、リップル吸収用コンデンサとして作用することによって、出力電位V<sub>1</sub>の過度的な振動が抑

制されるとともに、電位  $V_1$  の早い変化を抑える作用をなすことによって、上述のような異常動作が起こらないようになる。

上述のような 2 つの作用のために、コンデンサ  $C_1$  は、例えば  $0.1 \mu F$  のような比較的大きい容量を持つようにされる。それ故に、図示の抵抗、電圧比較回路及び MOSFET が、図示しない他の回路とともに CMOS LSI 化される場合、上記コンデンサ  $C_1$  は、CMOS LSI の外付け部品として構成される。

出力電位  $V_2$  を発生する動作および発振を抑える作用の詳細は、上述と同様であるので、その説明は省略する。

第 6 図は、本発明の電源回路を、セグメント形液晶表示装置のセグメント電極およびコモン電極駆動信号を発生する液晶駆動回路の電源回路として使用した場合の応用システム構成例である。なお、同図において、 $TG_1$  ～  $TG_4$  は、トランスマジックゲートを意味し、第 7 図にその一例としての CMOS トランスマジックゲートを示す。

$n_0$  ～  $n_7$  に OFF 信号によってオンされるディスチャージ MOSFET  $Q_{d1}$  ～  $Q_{d8}$  が接続されているため電源が遮断されたとき上記不具合を回避することができる。

なお、制御信号 OFF は、図示しない電源制御回路から発生される。

特に制限されないが、第 6 図において主電流  $I$ 、コンデンサ  $C_1$ 、 $C_2$  及び液晶表示装置 LCD を除く回路素子は、例えば電子式卓上計算機を構成するようなマイクロコンピュータ等の回路素子とともに、チップ CMOS LSI 化される。電子式卓上計算機用の CMOS LSI チップは、パワースイッチ MOSFET  $Q_{pw}$  を介して電源電圧  $V_{dd}$  を受けるようにされた図示しない演算回路、発振回路及び図示の液晶駆動用電源回路と、電源電圧  $V_{dd}$  を直接に受けるようにされた図示しない電源制御回路や CMOS 型スタティックメモリ等を含んで構成される。

電源制御回路は、CMOS フリップフロップ回路を含み、係るフリップフロップ回路によって制

第 6 図の回路では、液晶電源回路 10 に与えられる主電源 1 が、液晶表示を必要としない時には、消費電力を低下するため、カットオフできるようパワースイッチ MOSFET  $Q_{pw}$  が設けられている。制御信号 OFF が “0” のときは、パワースイッチ  $Q_{pw}$  がオンされて電源電圧  $V_{dd}$  を液晶電源回路 10 に与える（以下、パワースイッチ  $Q_{pw}$  を介した電位を  $V_{dd}$  と記す）。一方、OFF 信号が “0” から “1” に変わるとパワースイッチ  $Q_{pw}$  がオフされ、液晶電源回路 10 に電源が供給されなくなつて動作が停止する。第 2 図 (B) の従来の電源回路であれば、電源が遮断されると抵抗により各液晶駆動電位は接地電位に落ちるが、第 1 図の実施例の電源回路では、電源が遮断され、出力 MOS が非導通になると、駆動電位は外付け容量で不適当なレベルに保たれることとなる。そうした場合、液晶表示装置の画面はランダムに、点灯・非点灯の状態をとり、また、直流電圧が加わるため、液晶の劣化の危険が生じる。しかし、第 6 図の応用例では、出力ノード  $n$

に OFF 信号等）を形成する。

第 8 図に電源回路の他の実施例を示す。この実施例では、分圧回路 2 を構成する抵抗  $R_1$  ～  $R_4$  の代わりにダイオード接続の MOSFET を使用するとともに、液晶画面の濃淡の調整を可能にするために可変抵抗  $R_V$  を分圧抵抗列に加えている。また、第 1 図の実施例では、主電源 1 の電圧  $V_{dd}$  を、液晶駆動用 4 値レベルの最大電圧にあてているが、この実施例では濃淡調整に応じた電位  $V_0$  を出力するために、新たに電圧比較器 3e と P チャネル MOSFET からなるドライブ MOSFET  $Q_0$  と、出力点の安定化コンデンサ  $C_3$  が付加されている。電位  $V_0$  を発生するために、 $V_1$ 、 $V_2$  の発生方式と同様に 2 つの電圧比較器とそれに応じて 2 つのドライブ MOSFET を用意してもよい。液晶の使い方により、液晶電源の変動が、要求される電圧の正負いずれか一方のみにふられる場合には、第 3 図の例のように 1 つの電圧比較器と 1 つのドライブ MOSFET で液晶駆動電源を形成できる。

また第8図の実施例では、分圧抵抗をゲート、ソースと基板ゲートを共通接続したディブレッショント型MOSFETにより構成してなるとともに、かかる抵抗分圧回路を可変抵抗RVと接地点GNDとの間にパラレルに配した2本の抵抗列2a, 2bにより構成している。

ここで、上記パラレル抵抗列2a, 2bの構成と動作についてさらに詳細に記す。

一方の抵抗列2aは、GND電位から直列にR<sub>111</sub>, R<sub>112</sub>, R<sub>113</sub>と接続され、液晶画面の濃淡調整をする可変抵抗RVに接続される。他方の抵抗列2bは、GND電位から直列にR<sub>211</sub>, R<sub>212</sub>, R<sub>213</sub>と接続され可変抵抗RVに接続される。R<sub>111</sub>とR<sub>211</sub>間およびR<sub>112</sub>とR<sub>212</sub>間にそれぞれ微少な抵抗値の差を持たせておけば、それに応じて、分圧V<sub>a</sub>とV<sub>b</sub>間と、V<sub>b</sub>とV<sub>a</sub>間にそれぞれ微少な電位差が現われる。この電位差は、液晶表示に許される変動幅であるから、例えば40mV程度と極めて小さい。

第1図の実施例のような分圧抵抗構成では、複

めて抵抗値の低い抵抗R<sub>111</sub>, R<sub>112</sub>を用意しなければならないが、第8図の構成に従うと、極端に抵抗値の異なる抵抗素子を設けなくてすむようになる。即ち、一般的にICにおいては、微小抵抗素子と高抵抗素子とを共存させることが比較的難しいものであるが、第8図の構成の場合、微小抵抗素子が不要であるためこの問題が解決される。

特に制限されないが、第8図の可変抵抗RVは、出力V0ないしV2の可変制御が比較的正確となるよう、第9図のようなMOSFETからなる電子ポリウム回路により構成される。

すなわち、可変抵抗RVは、抵抗素子としてのディブレッショント型MOSFET ND1ないしND8&8と、スイッチ素子としてのエンハンスマント型MOSFET SW1ないしSW4とから構成される。

抵抗としてのMOSFET ND1ないしND8&8は、互いに同じサイズ（チャンネル長及びチャンネル幅）とされる。それ故に8個の並列接続されたMOSFET ND8&1ないしND8&8の

て16段階の抵抗値を取り得る。

第8図のMOSFET回路と第9図のMOSFET回路とは、CMOS LSI製造技術によつて同時に製造される。それ故に、同じタイプのMOSFETの特性ばらつきは極めて小さい。第8図および第9図の構成の場合、個々のディブレッショント型MOSFETは、基板ゲートが互いに独立にされ、それぞれのソースに結合されることにより、いわゆる基板バイアス効果によるしきい値電圧のシフトが生じないようにされている。

これによって、得られる出力V0ないしV2の相対値は、抵抗用のMOSFETのサイズに比較的正確に比例した値をとるようになる。

出力V0ないしV2の調整可能な範囲は、電子ポリウム回路RVと、抵抗用MOSFET R<sub>111</sub>～R<sub>113</sub>, R<sub>211</sub>～R<sub>213</sub>との抵抗比によって決定されることとなる。この調整可能な範囲は、実施例の場合、抵抗用MOSFETと電子ポリウムを構成するMOSFETとの相対的な特性ばらつきが極めて小さいので、CMOS LSIの製造条件の

並列合成抵抗値を1とすると、4個の並列接続のMOSFET ND4&1ないしND4&4の並列合成抵抗値は2となる。同様に、2個の並列接続MOSFET ND2&1, ND2&2の並列合成抵抗値は4となり、1個のみのMOSFET ND1の抵抗値は8となる。同図の電子ポリウム回路は、スイッチMOSFET SW1ないしSW4のゲートに、図示しない回路から発生されるデジタル信号VS1～VS4が供給される。信号VS1ないしVS4のすべてがほぼ電源電圧レベルのようないハイレベルないしスイッチオンレベルにされると、これに応じてスイッチMOSFET SW1～SW4のすべてがオン状態となり、電子ポリウム回路は、最小の抵抗値を示すようになる。逆に、信号VS1ないしVS4のすべてがほぼ0ボルトのようなロウレベルないしスイッチオフ状態にされると、電子ポリウム回路は、最大の抵抗値を示すようになる。

このように上記電子ポリウム回路は、信号VS1ないしVS4の組み合わせによって、全体とし

ばらつきに拘らずに、比較的精度良く決めることができるようになる。

なお、第9図の並列接続のディプレッショング型MOSFET、例えばND81ないしND88は、チャンネル幅が比較的大きくされた1つのディプレッショング型MOSFETに置き換えることができる。ただし、その場合には、LSI製造条件がばらついたときの抵抗用MOSFETとの相対的特性ばらつきの懸念が変化するおそれがある点に注意を払うとよい。

なお、第1図の抵抗R<sub>11</sub>, R<sub>12</sub>は、例えば次のようにすれば、省略可能である。

すなわち、第4図や第5図のような差動増幅回路からなる電圧比較回路3aと3b（または3cと3d）は、差動入力MOSFET Q<sub>11</sub>, Q<sub>12</sub>のサイズを互いに変更すること等の方針によって、係る電圧比較回路3a, 3b（または3cと3d）が異なる入力オフセット電圧を持つようになることが可能である。電圧比較回路3a, 3bの入力オフセット電圧の適当な設定によって、

抵抗R<sub>11</sub>, R<sub>12</sub>なしでも、前述と同様な回路動作が可能となる。

以上説明したように上記実施例は、出力段の分圧抵抗を省略し、出力段を主電源の高電位側と低電位側との間に直列に接続された一对のMOSFETのみで構成し、それらのMOSFETに与えられるゲート電位を適切に制御することにより、それらのMOSFETが同時に導通状態とならないようにして、反応電流の発生を防止することを回路の基本構成とした。また、MOSFETのゲート電位を制御する手段としては、それぞれのMOSFETとの組み合わせで、液晶電源電圧の変動に負荷過のかかる構成となるように電圧比較器を用い、2つの電圧比較器の基準電圧には、2つのMOSFETが同時に導通状態とならないように、液晶駆動電位から適当な許容変動幅分だけ正の方向または負の方向にずれた電位をそれぞれ与えるものを用いるようにし、さらに、出力電位の安定化を図るため、出力電位にはコンデンサを接続するようにしたので、液晶駆動電源と主電流の

高電圧側もしくは低電圧側に接続されたそれぞれのMOSFETは、同時に導通状態をとらないため、消費電流を増加させることなく、出力インピーダンスを下げる事が可能となる。また、定常的な電流消費を行なわなくても、付加された容量値を適正な値に設定することにより、出力の安定性が確保されるという効果がある。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では4値レベルの液晶表示装置の電源回路について説明したが、抵抗分圧数と比較器の数を変えることによって3値レベルあるいは5値レベル以上の液晶電源回路も構成することができる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である液晶表示装置の駆動用電源回路に適用した場合について説明したがこの発明はそれに限定されるもので

なく、複数の電源電位を必要とする装置の電源回路に広く利用することができる。

#### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、負荷の大きな液晶表示装置に対してても、安定した電源電圧を与えられる低出力インピーダンスで、かつ低消費電力の液晶駆動用電源回路を実現することができる。

#### 4. 図面の簡単な説明

第1図は本発明に係る液晶駆動用電源回路の一実施例を示す回路図。

第2図(A), (B)は従来の液晶駆動用電源回路の一例を示す回路図。

第3図は液晶駆動信号の波形例を示す波形図。

第4図および第5図は本発明の電源回路に使用される電圧比較器の一例を示す回路図。

第6図は本発明の電源回路を応用した液晶駆動回路の一例を示すシステム構成図。

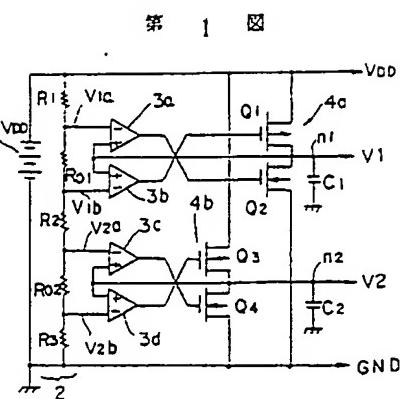
第7図はトランスマッゲートの一例を示す回路図。

第8図は本発明に係る液晶駆動用電源回路の他の実施例を示す回路図。

第9図は可変抵抗の構成例を示す回路図である。

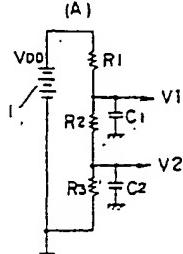
1 ……主電源、2 ……抵抗分圧回路、3 a ~ 3 d ……電圧比較器、4 a, 4 b ……出力段、n, n1, n2 ……出力ノード（出力点）。

代理人 弁理士 大日方富雄

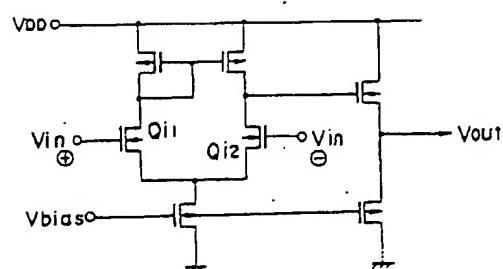
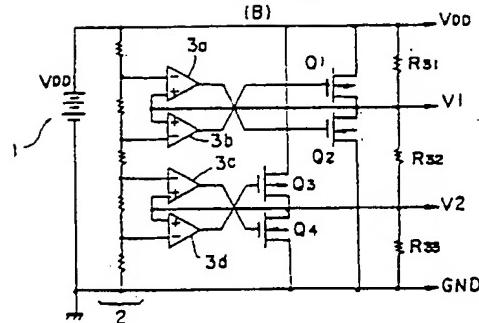


第1図

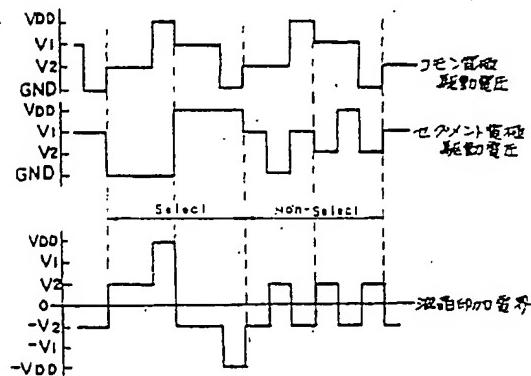
第2図



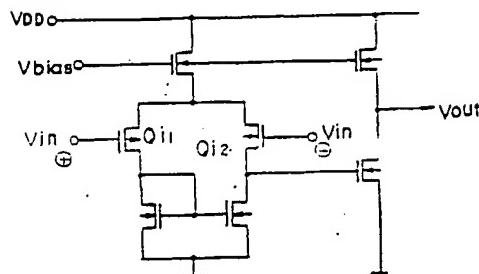
第4図

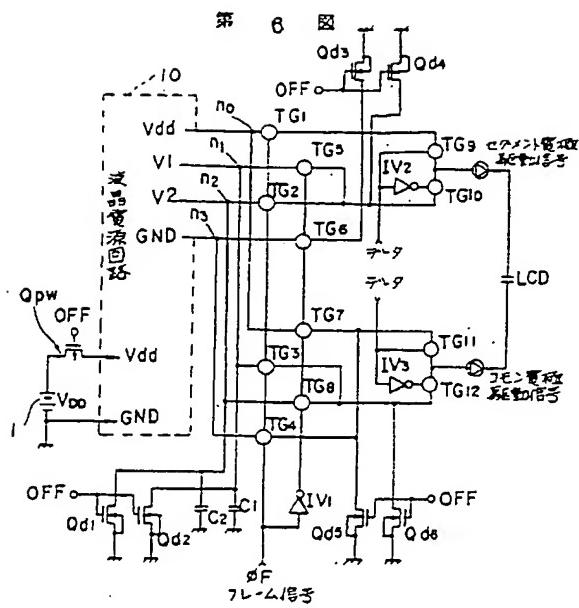
第2図  
(B)

第3図

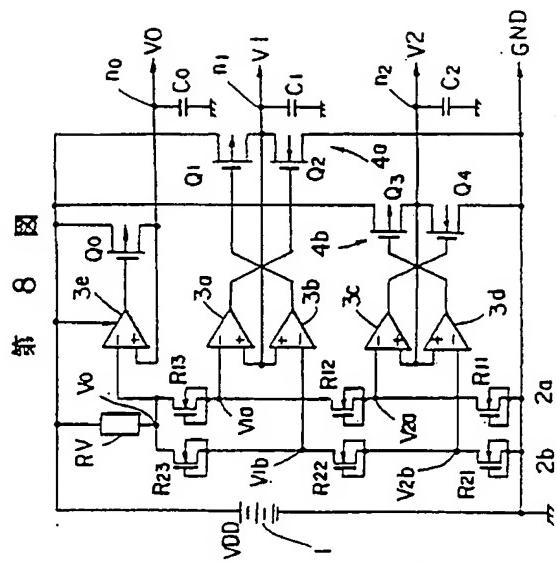
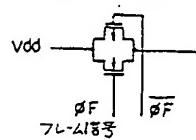


第5図

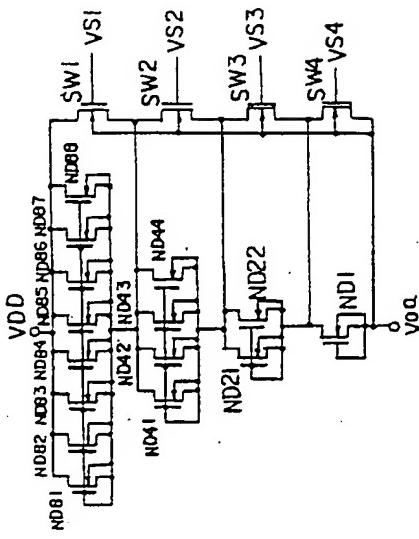




第7図



第9図



## 第1頁の続き

⑤Int.Cl. <sup>5</sup>	G 09 G 3/36 H 03 K 17/693	識別記号 E	府内整理番号 8621-5G 8221-5J
⑦発明者	沢 田 健 司	東京都小平市上水本町5丁目22番1号 日立マイクロコン ピュータエンジニアリング株式会社内	
⑦発明者	伊 藤 伸 二	東京都小平市上水本町5丁目22番1号 日立マイクロコン ピュータエンジニアリング株式会社内	
⑦発明者	斎 藤 光 司	東京都小平市上水本町5丁目22番1号 日立マイクロコン ピュータエンジニアリング株式会社内	